

Docket No.: 1999P2698

MAR 27 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nolff

Date: March 18, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Lothar Bauch et al.
Applic. No. : 10/082,554
Filed : February 26, 2002
Title : Stacked VIA with Specially Designed Landing Pad for Integrated Semiconductor Structures

BEST AVAILABLE COPY

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 199 39 852.6, filed August 23, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolff
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: March 18, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 199 39 852.6

Anmeldetag: 23. August 1999

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Erstanmelder: Siemens Aktiengesellschaft,
München/DE

Bezeichnung: Stacked Via mit besonders ausgebildetem
Landing Pad für integrierte Halbleiterstrukturen

IPC: H 01 L 23/522

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Brand

Stacked Via mit besonders ausgebildetem Landing Pad für integrierte Halbleiterstrukturen

Die Erfindung betrifft eine integrierte Halbleiterstruktur
5 mit mindestens einem sich durch mehrere Schichten erstreckenden Kontakt zum elektrischen Kontaktieren von Bereichen der Halbleiterstruktur, wobei der Kontakt in einer ersten Schicht eine erste Kontaktlochfüllung (A) und in einer zweiten
10 Schicht eine zweite Kontaktlochfüllung (C) sowie in einer zwischen der ersten und der zweiten Schicht befindlichen Zwischenschicht eine Zwischenstruktur (B) zum Verbinden der ersten Kontaktlochfüllung mit der zweiten aufweist.

Solche in derartige Schichtenfolgen eingebrachte Kontakte
15 werden als Stacked Via bezeichnet und dienen zum elektrischen Anschließen von unter solchen Strukturen vergrabenen Bereichen durch die darüberliegenden Schichtenfolgen hindurch. Insbesondere bei Mehrlagen-Metallisierungen müssen die Kontakte durch die einzelnen Metallagen und die dazwischen befindlichen isolierenden Oxidschichten hindurchgeführt werden.
20 Dazu wird nach der Abscheidung jeder Ebene eine lithographisch geformte Öffnung (Via) freigeätzt und anschließend mit einem leitfähigen Material gefüllt. In den zwischen den Oxidschichten befindlichen Metallebenen werden auf ebenfalls lithographischem Wege Metallinseln erzeugt. Diese als Landing
25 Pads bezeichneten Metallinseln dienen zum elektrischen Verbinden des in der darunterliegenden Oxidschicht eingebrachten Vias mit dem über diesem in der nächsten abzuschheidenden Oxidschicht einzubringenden Via. Die auf diese Weise herge-
30 stellten Kontaktfolgen aus Vias und Landing Pads sind aufgrund ihrer lithographischen Herstellungsweise anfällig für Fehleinstellungen vor allem bei der Maskenbelichtung. Hauptsächlich eine falsche Einstellung des Steppers, eine Defokussierung, eine falsche Belichtungsdosis und der je nach Be-
35 leuchtungsfeldgröße unterschiedlich große Abstand äußerer

Strukturen von der optischen Achse der Maskenbelichtung führen zu dem als Line Shortening bekannten Effekt, daß Strukturelemente zu klein und z. B. Linien zu kurz abgebildet werden. Aus diesem Grund werden die Metallinseln zur Via-

5 Kontaktierung größer als eigentlich notwendig dimensioniert, damit auch bei nicht exakt übereinanderliegenden Vias oder bei einem seitlichen Versatz oder zu klein geratener Abmessungen der Metallinsel das Stacked Via dennoch elektrisch leitet.

10

Bei dem Design des Verlaufs von Metallisierungsbahnen in der Metallebene wird in der Regel ein periodisches Grundraster aus Punkten bzw. Linien zugrundegelegt, die entsprechend den Kanten bzw. Ecken eines Quadrats angeordnet sind. Auf diesem

15 Grundraster werden die Metallinseln, die lediglich in vertikaler Richtung senkrecht zur Metallisierungsebene leiten sollen, als möglichst kleines Quadrat markiert, damit es von benachbarten Punkten des Grundrasters einen möglichst großen Abstand einhält. Angesichts des Line Shortenings jedoch, das

20 bei der quadratischen Metallinsel in beiden Abmessungen kritisch ist, sind der Kontaktverkleinerung enge Grenzen gesetzt. In der Praxis werden Landing Pads nach Abschluß des Layout-Designs noch einmal nachträglich vergrößert. Jedoch

ist spätestens dann, wenn das einmal entwickelte Design um

25 einen gewissen Shrink-Faktor verkleinert wird, schnell die Grenze erreicht, bei der der durch die Design-Regeln vorgeschriebene minimale Abstand zu benachbarten Metallbahnen unterschritten oder die sichere Kontaktierung übereinander liegender Vias nicht mehr gewährleistet ist.

30

Ein weiterer Nachteil besteht darin, daß sich Lackstrukturen zum Erzeugen herkömmlicher Landing Pads von dem Untergrund lösen können. Durch mit der Substratfläche größer werdende Fokusschwankungen werden Lackstrukturen mit schräg geneigten

35 Seitenwänden erzeugt. Insbesondere Lackstrukturen mit nach

oben hin zunehmender Querschnittsfläche werden beim Abschleudern leicht von der Metallisierungsschicht gelöst und über das Substrat verstreut.

5 Es ist die Aufgabe der vorliegenden Erfindung, eine integrierte Halbleiterstruktur bereitzustellen, in denen elektrische Kontakte, die sich durch mehrere Schichten hindurch erstrecken, trotz zunehmender Miniaturisierung mit ausreichender Fehlersicherheit elektrisch leiten, ohne daß durch Design-Regeln vorgeschriebene laterale Abstände unterschritten
10 werden. Es ist ferner Aufgabe der vorliegenden Erfindung, eine derartige Halbleiterstruktur bereitzustellen, die aufgrund ihrer Struktur ohne die oben beschriebene Nachbearbeitung in Form eines nachträglichen Aufblähens von Landing Pads herstellbar ist. Schließlich soll die bereitzustellende Halbleiterstruktur mit geringerem Risiko eines Abplatzens von Lackstrukturen während des Abschleuderns herstellbar sein.
15

Diese Aufgabe wird gemäß dem Kennzeichen des Anspruchs 1 dadurch gelöst, daß die Zwischenstruktur eine in der Zwischenschicht verlaufende Leitbahn aufweist.
20

Erfindungsgemäß wird ausgenutzt, daß sich der Effekt des Line Shortenings bei einer Linie weniger stark auswirkt als bei
25 einer kleinen, fast punktförmigen Kontaktfläche. Daher wird auf der Basis des verwendeten Grundrasters kein Punkt, sondern eine Linie als Grundmuster für eine Kontaktfläche ausgewählt, so daß an der Verbindung zwischen Via und Landing Pad nicht zwei Punkte, sondern ein Punkt und eine Linie aufeinander treffen. Erfindungsgemäß werden die Kontaktlochfüllungen
30 in den Oxidschichten oberhalb und unterhalb der Metallisierungsebene aus der Draufsicht betrachtet lateral gegeneinander versetzt angeordnet. Die mit den erfindungsgemäß geformten Landing Pads versehenen Halbleiterstrukturen sind bis zu
35 einem Grade shrinkfähig, bei dem herkömmliche quadratische

Metallkontakte nicht mehr fertigungstauglich sind. Da sich das Line Shortening auf die als Leitbahn geformte Metallinsel schwächer auswirkt, kann die herkömmlich eingesetzte Nachbearbeitung nach Abschluß des Layout-Designs entfallen. Die Erfindung hat ferner den Vorteil, daß mehrere nebeneinander verlaufende gestapelte Vias dicht nebeneinander, nämlich in Abstand von je einer Länge des Grundrasters in jeder Ebene verlaufen können, wohingegen herkömmliche quadratische und nachträglich aufgeblähte Metallkontakte aufgrund von Design-Regelverletzungen im Abstand von zwei Grundlängen voneinander oder von weiteren Metallisierungsbahnen verlaufen mußten. Dadurch gibt sich trotz einer Vergrößerung der ursprünglich punktförmigen Kontakte zu Leitbahnen einer Vergrößerung des Shrink-Faktors der gesamten Struktur.

15

Eine bevorzugte Ausführungsform sieht vor, daß die Leitbahn zwei nächstgelegene Punkte eines periodischen Grundrasters miteinander verbindet.

20 Eine Weiterbildung der Erfindung sieht vor, daß die Zwischenstruktur an jedem Ende der Leitbahn eine quadratische Kontaktfläche aufweist. Auch bei anders geformten Kontaktflächen an beiden Enden der Leitungsbahn ergibt sich eine in etwa knochenähnlich aussehende Form der Zwischenstruktur bzw. Metallinsel.

25

Die Metallinsel besteht zweckmäßigerweise aus demselben leitfähigen Material, aus dem auch die Metallisierungsebene besteht. Die Vias in den benachbarten, vorzugsweise oxidischen Schichten enthalten vorzugsweise überwiegend Wolfram.

30

Eine auf Mehrlagenverdrahtungen gerichtete Weiterbildung der Erfindung sieht vor, daß der ersten und/oder der zweiten Schicht mindestens eine weitere Metallisierungsschicht benachbart ist.

35

Als integrierte Halbleiterstrukturen mit den erfindungsgemäß ausgestalteten Stacked Vias kommen jegliche Halbleiterstrukturen, vorzugsweise jedoch DRAMs, insbesondere Embedded
5 DRAMs, in Betracht.

Die Erfindung wird nachstehend anhand der Figuren 1 bis 3 erläutert.

Figur 1 zeigt eine Querschnittansicht eines Modells eines in
10 vorbekannter Weise geformten Stacked Vias vor der Layout-Nachbearbeitung und

Figur 2 eine Draufsicht auf die darin enthaltene Metallisierungsinsel vor und nach der Layout-Nachbearbeitung.

15

Figur 3 zeigt eine Draufsicht auf eine erfindungsgemäß geformte Metallisierungsinsel.

Wie Figur 1 zeigt, erstreckt sich ein herkömmliches quadratisches Landing Pad um einen Rand der Breite o zu allen vier
20 Seiten über die Abmessungen b am Boden eines Vias hinaus. Das mit einer Abmessung von $l = b + 2 o$ ausreichende Abstände zu benachbarten Metallisierungsbahnen wahrende und daher designregelkonformel Landing Pad wird im Rahmen der Layout-
25 Nachbearbeitung entsprechend Figur 2 vergrößert.

Bei dieser Größe werden zwar die vertikal benachbarten Vias kontaktiert, allerdings sind Kurzschlüsse innerhalb der Metallisierungsebene zu befürchten.

30

Abbildung 3 zeigt ein erfindungsgemäßes Landing Pad in Knochenform, gebildet aus einer Leitbahn der Breite w und der Länge $s+l$, an beiden Enden durch quadratische Endkontakte der Abmessung l verstärkt. Diese Quadrate werden anders als diejenigen in Figur 2 nicht mehr vergrößert. Aus diesem Grunde
35

gliedert sich die dargestellte Knochenstruktur, obwohl sie zwei Punkte des Grundrasters einnimmt, besser in das Raster-Layout ein und führt auch bei einer nachträglichen Miniaturisierung der Schaltung eine zuverlässigere Via-Kontaktierung als die in Figur 2 rechts dargestellte aufgeblähte quadratische Metallinsel.

Selbstverständlich liegt es im Rahmen der vorliegenden Erfindung, die erfindungsgemäße Form des Metallkontaktes zu verändern, zu erweitern oder einem veränderten Grundraster anzupassen. so bietet es sich zum Beispiel an, der in Figur 3 dargestellten Knochenform eine vertikal verlaufende Leitbahn mit abschließender quadratischer Kontaktfläche hinzuzufügen. Auch in diesem Fall nimmt das Landing Pad in jeder Dimension lediglich zwei benachbarte Punkte des Grundrasters ein, wohingegen ein herkömmlich gestaltetes quadratisches und durch Nachbearbeitung vergrößertes Landing Pad in jeder Richtung die Mindestabstände zum benachbarten Punkt des Grundrasters überschreitet und daher effektiv eine Grundfläche von 3 mal 3 Gitterpunkten beansprucht.

Patentansprüche

1. Integrierte Halbleiterstruktur mit mindestens einem sich
5 durch mehrere Schichten erstreckenden Kontakt zum elektri-
schen Kontaktieren von Bereichen der Halbleiterstruktur, wo-
bei der Kontakt in einer ersten Schicht eine erste Kontakt-
lochfüllung (A) und in einer zweiten Schicht eine zweite Kon-
taktlochfüllung (C) sowie in einer zwischen der ersten und
10 der zweiten Schicht befindlichen Zwischenschicht eine Zwi-
schenstruktur (B) zum Verbinden der ersten Kontaktlochfüllung
mit der zweiten aufweist,
dadurch gekennzeichnet,
daß die Zwischenstruktur eine in der Zwischenschicht verlau-
15 fende Leitbahn (s) aufweist.
2. Integrierte Halbleiterstruktur nach Anspruch 1,
dadurch gekennzeichnet,
daß die Leitbahn zwei nächstgelegene Punkte eines periodi-
20 schen Grundrasters miteinander verbindet.
3. Integrierte Halbleiterstruktur nach Anspruch 2,
dadurch gekennzeichnet,
daß die Zwischenstruktur an jedem Ende der Leitbahn eine qua-
25 dratische Kontaktfläche aufweist.
4. Integrierte Halbleiterstruktur nach Anspruch 3,
dadurch gekennzeichnet,
daß die Kontaktflächen und die Leitbahn eine knochenähnliche
30 Form der Zwischenstruktur bilden.

5. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 4,

dadurch gekennzeichnet,

5 daß die Zwischenschicht eine Metallisierungsebene ist und daß die Zwischenstruktur aus einem leitfähigen Material der Metallisierungsebene besteht.

6. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 5,

dadurch gekennzeichnet,

10 daß die Kontaktlochfüllungen Wolfram enthalten.

7. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 6,

dadurch gekennzeichnet,

15 daß die erste und die zweite Schicht Oxidschichten sind.

8. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 7,

dadurch gekennzeichnet,

20 daß der ersten und/oder der zweiten Schicht mindestens eine weitere Metallisierungsschicht benachbart ist.

9. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet,

25 daß die integrierte Halbleiterstruktur ein Embedded DRAM ist.

Zusammenfassung

Stacked Via mit besonders ausgebildetem Landing Pad für integrierte Halbleiterstrukturen

5

Bei der Herstellung von Stacked Vias werden zur Kontaktierung zwischen übereinander angeordneten Vias als Landing Pads bezeichnete Metallinseln eingebracht, die aufgrund des Line Shortening-Effekts seitlich wesentlich über die Vias hinausragen. Erfindungsgemäß werden in übereinanderliegenden Schichten angeordnete Vias gegeneinander lateral versetzt. Das erfindungsgemäße Landing Pad wird im wesentlichen als zwischen den Vias verlaufende Leitbahn gestaltet. An den Enden der Leitbahn vorgesehene Kontaktflächen müssen aufgrund des für längere Bahnen unkritischeren Line Shortening-Effekts nicht so groß gewählt werden wie die quadratischen Kontaktflächen herkömmlicher Metallinseln und lassen sich daher platzsparender auf einen zu miniaturisierenden Schaltungslayout unterbringen; der Shrinkfaktor einer solchen Halbleiterstruktur erhöht sich.

20

Figur 3

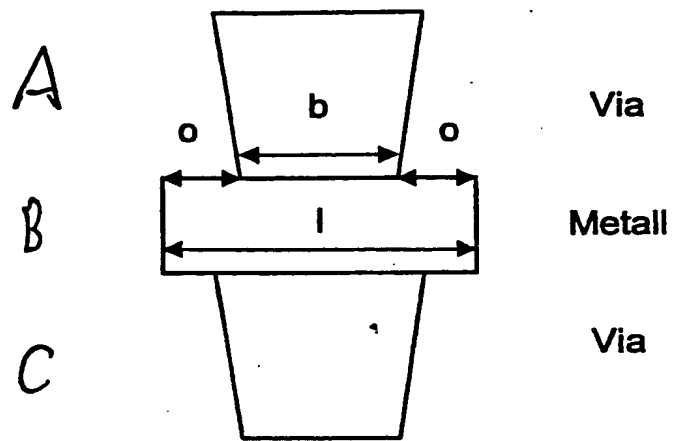


Fig. 1

Fig. 2

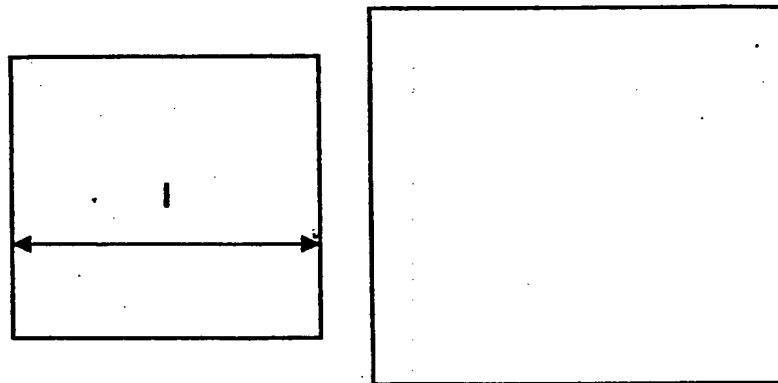


Fig. 3

